

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑯ 日本国特許庁 (JP) ⑮ 特許出願公開
⑰ 公開特許公報 (A) 昭55-102254

⑯ Int. Cl.³
H 01 L 21/76
21/302

識別記号 庁内整理番号
6426-5F
6741-5F

⑮ 公開 昭和55年(1980)8月5日
発明の数 1
審査請求 未請求

(全 4 頁)

⑯ 半導体素子の分離方法

⑯ 特 願 昭54-9941
⑰ 出 願 昭54(1979)1月30日
⑰ 発明者 米沢啓四郎

⑮ 出願人 新日本電気株式会社
大阪市北区梅田1丁目8番17号

明細書

発明の名称

半導体素子の分離方法

特許請求の範囲

- (1) 多数の半導体素子が形成された半導体ウエーハの一面から、レーザー加工により各半導体素子間に溝を形成し、しかる後半導体ウエーハの他面から前記溝に対応する部分にダイシング加工を施す工程を含むことを特徴とする半導体素子の分離方法。
- (2) 前記ダイシング加工が半導体ウエーハを完全に切断するものであることを特徴とする特許請求の範囲第(1)項記載の半導体素子の分離方法。
- (3) 前記ダイシング加工が半導体ウエーハを完全に切断しない程度の深い溝を形成し、さらに前記両溝部分から破断する工程を含むことを特徴とする特許請求の範囲第(1)項記載の半導体素子の分離方法。

- 1 -

発明の詳細な説明

本発明は、多数の半導体素子が形成された半導体ウエーハから、各半導体素子を個々に分離する方法に関するものである。

トランジスタ、ダイオード、サイリスタ、集積回路等の半導体装置は、一般に一枚の半導体ウエーハに多数の半導体素子を形成し、各半導体素子間を切削分離する工程を経て製造されている。従来この種分離方法としては、第1図に示すように、ダイヤモンドポイント、レーザービーム、エッティング等により半導体ウエーハ1の各半導体素子2, 2間に、浅い溝3を形成し、しかる後半導体ウエーハ1に撓屈力を作用させて、各半導体素子2, 2を溝3より割つて個々に分離する方法が一般的である。しかしながら、このような方法では、半導体ウエーハ1が結晶方向に沿つて割れるため、第2図に示すように、各半導体素子2の端面が傾斜状となるため、隅角部や锐角部が破損して特性不良を生じたり、荷少クラックが入つてカンケースやガラスケースに封入後、前記クラック部から

- 2 -

破損した欠片で半導体素子の電極間が短絡したり耐圧不良を生ずるといった欠点があつた。

そこで、第3図に示すように、ダイシングソウと称する回転鋸で深い溝6を形成し、しかる後に掩屈力を作用させて溝6から分割する方法も提案されたが、このような方法では、第4図(A)ないし第4図(B)に示すように、半導体素子2の形状が不均一になる欠点がある。

また、ダイシング加工を施す他の方法として、第5図に示すように、半導体ウェーハを完全に切断する溝5を形成する方法も提案されたが、一般に半導体素子の分離工程は半導体ウェーハを接着テープ6に貼着して実施されるので、このような方法では接着テープ6が一部ないし完全に切断され、半導体素子を分離後接着テープ6によつて各半導体素子2を一体的に取り扱うことが困難になり、特に接着テープ6を引伸ばすような作業が不可能になるといった欠点があつた。

それゆえ、本発明の主たる目的は、半導体ウェーハから一定形状の半導体素子を收容よく得られ

る方法を提供することである。

本発明は要約すると、多数の半導体素子を形成した半導体ウェーハの一面向から、レーザー加工によつて各半導体素子間に溝を形成し、しかる後半導体ウェーハの他面から前記溝に対応する部分にダイシング加工を施す工程を含むことを特徴とするものである。

本発明の上述の目的およびその他の目的と特徴は、図面を参照して行なう以下の詳細な説明から一層明らかとなろう。

第6図は半導体ウェーハ10の一例の縦断面図を示し、11はN⁺型領域、12はN⁻型領域、13はP⁻型領域、12内に選択的に形成されたP型領域、14はSiO₂等の絶縁膜、15はP型領域13上に形成された金蒸着膜、16は金蒸着膜15上に形成された銀のパンプ電極、17はN⁺型領域12上に形成された金蒸着膜、18は金蒸着膜17上に形成された銀メツキ層である。19は各P型領域13を含むダイオード素子である。なお、前記絶縁膜14、金蒸着膜17および銀メツキ層18は、図

- 4 -

示すように分離のための溝形成予定部分を除いて形成することが望ましい。

まず、第7図に示すように、半導体ウェーハ10の一面向、図示例ではN⁺型領域11に、レーザー加工によつて浅い溝20を形成する。次に、第8図に示すように、半導体ウェーハ10の他面全面にワックス等の耐食膜21を形成し、一面を接着テープ22に貼着する。この後、第9図に示すように、耐食膜21の上からダイシングソウを用いて、前記溝20に達する深い溝23を形成して、各ダイオード素子19に分離する。次に、耐食膜21および接着テープ22を耐食カバーとして軽くエッティングして、溝23のダイシングソウによる加工部を除去し、さらに耐食膜21を溶解除去すれば、所期のダイオード素子19が得られる。

上記の方法によれば、各ダイオード素子19に锐角部が形成されないので、ダイオード素子19の一部が欠損したりクラックが入つて特性劣化を生じたり、ダイオード素子19をガラス容器に封入後前記クラック部分から欠落した微小片によつ

- 5 -

て電極間が短絡したり、耐電圧不良を生ずることがない。また、ダイシング加工によつて半導体ウェーハを完全に切断しない程度の深い溝を形成した後、前記溝から削つて分離するものに比較して、ダイオード素子19の形状が不均一になることがない。さらには、ダイシング加工のみで半導体ウェーハを完全切断するものに比較して、接着テープ22を切断することがなく、後の工程の作業性を阻害することがない。

なお、前記浅い溝20をエッティングにより形成した場合でも前記とほぼ同様の利点が得られるが、溝20をエッティングで形成することは、フォトマスクの形成、目合せ、露光、現像、エッティングといつた諸工程が必要になり、レーザー加工による本発明に比し著しく煩雑である。

また、本発明とは逆に、最初に半導体ウェーハ10の一面からダイシング加工し、しかる後他面からレーザー加工して個々のダイオード素子19に分離することも考えられるが、ダイシング加工による溝が深いので、半導体ウェーハ10の機械

- 6 -

的強度が弱くなり、その後に行なうレーザー加工またはその前後工程等で半導体ウェーハが破損しやすいといった問題点があり、本発明に及ばない。

上記実施例は、ダイオード素子の分離について説明したが、本発明は他の任意の半導体素子の分離に適用できるものである。また、ダイシング加工によって、半導体ウェーハを完全に切断する場合について説明したが、一部を残すようにダイシング加工し、しかる後に溝から剥つて個々に分離するようにしてもよい。

本発明は以上のように、半導体ウェーハの一面からレーザー加工によつて浅い溝を形成し、しかる後に他面からダイシング加工を施すものであるから、一定の形状の半導体素子を容易に得られるという効果を有する。

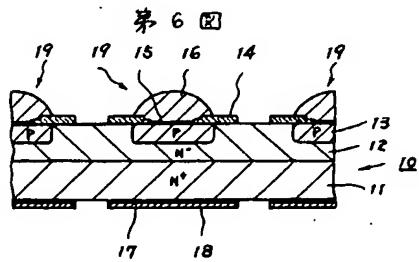
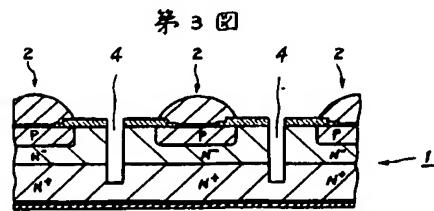
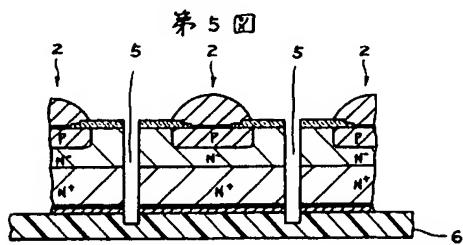
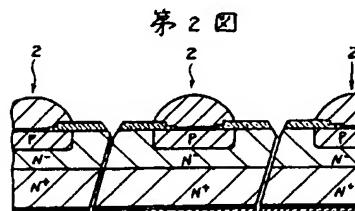
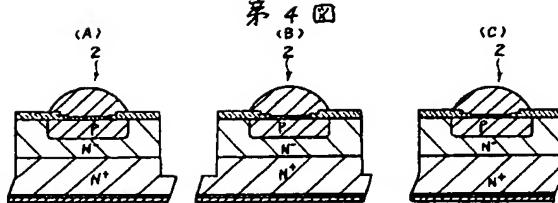
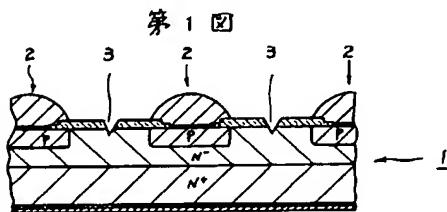
図面の簡単な説明

第1図および第2図は従来の半導体素子の分離方法を説明するための縦断面図、第3図および第

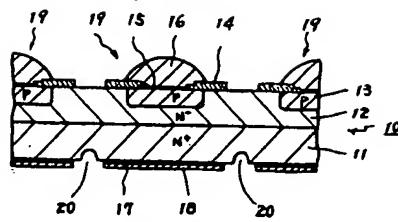
- 7 -

- 8 -

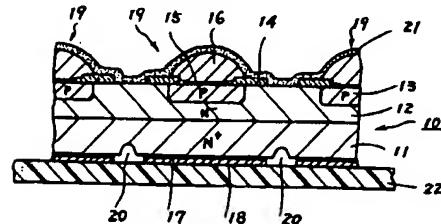
特許出願人 新日本電気株式会社



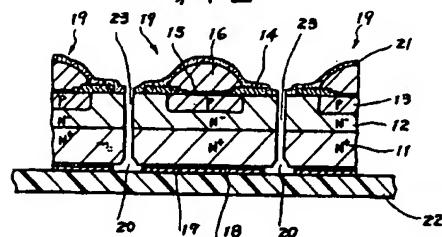
第7図



第8図



第9図



PAT-NO: JP355102254A
DOCUMENT- IDENTIFIER: JP 55102254 A
TITLE: METHOD FOR SEPARATING SEMICONDUCTOR
ELEMENT
PUBN-DATE: August 5, 1980

INVENTOR- INFORMATION:

NAME
YONEZAWA, KEISHIRO

ASSIGNEE- INFORMATION:

NAME	COUNTRY
NEC HOME ELECTRONICS LTD	N/A

APPL-NO: JP54009941

APPL-DATE: January 30, 1979

INT-CL (IPC): H01L021/76, H01L021/302

ABSTRACT:

PURPOSE: To obtain semiconductor elements of a specified shape effectively, in the case a number of semiconductor elements formed in a semiconductor wafer are divided, by forming grooves in the surface on one side by laser machining and performing dying from the opposite points of the surface of the other side.

CONSTITUTION: An n<SP>-</SP>-layer 12 is grown on an n<SP>+</SP> semiconductor wafer 11, a plurality of p-type regions 13 are diffused and formed in the said layer 12, and a plurality of diodes 19 are provided. An Ag-plated layer 18 is deposited on the bottom surface of a substrate 11 so as to oppose the portions described above via an Au layer 17. An SiO<SB>2</SB> film 14 is provided on the upper surface, a window is provided,

and an Ag bump electrode 16 is provided on the region 13 via an Au layer 15. Then, individual diodes 19 are separated. At this time, at first grooves 20 are made in separating regions at the bottom surface of the substrate by laser machining, and all the surface is covered by bonding tape 22. Then, an erosion-resistant wax film 21 is provided on the upper surface. Grooves 23 reaching the grooves 20 are cut from the points on the film 21 corresponding to the grooves 20 in the bottom surface with a dying saw, and division into individual pieces is achieved. Thereafter, a small amount of etching is performed and machining strain is removed.

COPYRIGHT: (C)1980,JPO&Japio